



JPW

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q77648

Makoto MIURA

Allowed: March 28, 2005

Appln. No.: 10/671,797

Group Art Unit: 2817

Confirmation No.: 9890

Examiner: Henry CHOE

Filed: September 29, 2003

For: OPERATIONAL AMPLIFIER WITH SELF CONTROL CIRCUIT FOR REALIZING
HIGH SLEW RATE THROUGHOUT FULL OPERATING RANGE

SUBMISSION OF ART

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

For the possible benefit of anyone subsequently evaluating the scope and/or validity of the above-identified patent, it is requested that the document that is listed below (copy enclosed) be placed in the U.S. Patent and Trademark Office's file wrapper of the above-identified U.S. patent:

1. Japanese Patent Application Publication No. 2001-156559, published June 8, 2001 (with English abstract).

The above-listed document was recently cited in a Japanese Office Action, dated September 20, 2005, a copy of which is enclosed.

The undersigned has not reviewed the teachings of the above-listed document in detail and thus makes no representations concerning the relevancy or materiality of the above-listed document.

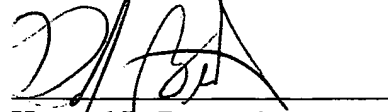
SUBMISSION OF ART
U.S. Appln. No.: 10/671,797



Atty. Docket No.: Q77648

This is not an Information Disclosure Statement and no response from the U.S. Patent and Trademark Office is believed to be necessary, nor are any fees believed to be due.

Respectfully submitted,


Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

Date: December 20, 2005

拒絶理由通知書

特許出願の番号	特願2002-289073
起案日	平成17年 9月14日
特許庁審査官	甲斐 哲雄 9750 5W00
特許出願人代理人	徳丸 達雄 様
適用条文	第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

A. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1, 3, 8, 9
- ・引用文献等 1
- ・備考

文献1には、図2、段落【0040】、段落【0041】等を参照して、第1の差動トランジスタ対(M2, M3)と、第2の差動トランジスタ対(M4, M5)と、第1の電流源回路(M1)と、第2の電流源回路(M6)と、出力端子(Vout)と、第1のトランジスタ(M15)と、第2のトランジスタ(M16)と、出力駆動回路(3, 4)と、第1の位相反転回路(9)と、第2の位相反転回路(8)とを備える演算増幅器が記載されている。

引 用 文 献 等 一 覧

1. 特開2001-156559号公報

B. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第1号に規定する要件を満たしていない。

記

(1) 請求項2に、「第1、第2の入力端子と、前記第1、第2の入力端子に第2電極がそれぞれ接続され、互いに逆伝導型の第1、第2の差動トランジスタ対」と記載されているが、発明の詳細な説明には、実施例として、第1、第2の差動トランジスタ対の各第2電極がそれぞれ第1、第2の入力端子に共通して接続される構成は記載されていない。

(2) 請求項3に、「前記第1の差動トランジスタ対と第2の電源端子と出力端子と前記第2のトランジスタの第2電極に接続する第3の電流源回路」と記載されているが、発明の詳細な説明には、実施例として図5を参照して、第3の電流源回路(M4(510))が出力端子(506)に接続する構成は記載されていない。

(3) 請求項3に、「前記差動トランジスタ対と第1の電源端子と前記出力端子と前記第1のトランジスタの第2電極のそれぞれに接続する第4の電流源回路」と記載されているが、発明の詳細な説明には、実施例として図5を参照して、第4の電流源回路(M6(512))が出力端子(506)に接続する構成は記載されていない。

(4) 請求項7に、「前記第19のトランジスタは、第2、第3電極を前記第1のトランジスタの第2電極と前記第6のトランジスタの第2電極と前記第14のトランジスタの第2電極と第17のトランジスタの第3電極に接続し、」と記載されているが、発明の詳細な説明には、実施例として図13を参照して、第19のトランジスタ(M17(1320))が、その第2、第3電極を第1のトランジスタ(M1(1304))の第2電極に接続する構成は記載されていない。

(5) 請求項7に、「前記第3の定電流源は、前記の第1の電源端子と前記第15のトランジスタの第1電極との間に接続され、」と記載されているが、発明の詳細な説明には、実施例として図13を参照して、第3の定電流源(1323)が、第1の電源端子(1331)と第15のトランジスタ(M13(1316))の第1電極との間に接続された構成は記載されていない。

(6) 請求項9に、「第1電極としてエミッタ電極を、第2電極としてベース電極を、第3電極としてコレクタ電極を備えたバイポーラトランジスタである」と記載されているが、発明の詳細な説明には、第1電極としてエミッタ電極を、第2電極としてベース電極を、第3電極としてコレクタ電極を備えたバイポーラトランジスタは記載されていない。

よって、請求項2, 3, 7, 9に係る発明は、発明の詳細な説明に記載したものでない。

C. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

(1) 請求項2に、「互いに逆伝導型の第1、第2の差動トランジスタ対」と記載されているが、

(1-1) 逆伝導型の意味が不明である。

(1-2) 第1、第2の差動トランジスタ対が互いに逆伝導型であることとは、どのようなことであるのか不明である。

(2) 請求項2に、「前記第1の差動トランジスタ対の負側の出力端子と前記第2の差動トランジスタ対の正側の出力端子と第1の電源端子との間に接続された第1の電流ミラー回路」と記載されているが、第1の差動トランジスタ対の負側の出力端子と第2の差動トランジスタ対の正側の出力端子と第1の電源端子との間とはどこであるのか不明である。また、このような、「・・・と・・・と・・・との間」という表現が不明瞭である。

同様に、請求項2に、「前記第2の差動トランジスタ対の正側の出力端子と前記第1の差動トランジスタ対の負側の出力端子と前記第1の電源端子との間に接続された第2の電流ミラー回路」と記載されているが、第2の差動トランジスタ対の正側の出力端子と第1の差動トランジスタ対の負側の出力端子と第1の電源端子との間とはどこであるのか不明である。そして、このような、「・・・と・・・と・・・との間」という表現が不明瞭である。

(3) 請求項2において、「出力トランジスタ」は、「第1のトランジスタ」、「第2のトランジスタ」とそれぞれどのような関係にあるのか不明である。

(4) 請求項2, 7に、「前記出力駆動段回路」と記載されているが、この記載より以前に「出力駆動段回路」は記載されておらず、これが何であるのか不明であると共に、「前記」が何を指すのか不明である。また、「出力駆動段回路」と「出力駆動回路」の関係が不明である。

(5) 請求項2に、「前記信号出力レベル」と記載されているが、この記載より以前に「信号出力レベル」は記載されておらず、これが何であるのか不明であると共に、「前記」が何を指すのか不明である。

(6) 請求項3に、「前記差動トランジスタ対と第1の電源端子と前記出力端子と前記第1のトランジスタの第2電極のそれぞれに接続する第4の電流源回路」と記載されているが、この記載中の「前記差動トランジスタ対」は、第1の差動トランジスタ対であるのか、あるいは、第2の差動トランジスタ対であるのか不明である。

(7) 請求項6に、「前記第11のトランジスタは、第2、第3電極を前記第11のトランジスタの第3電極と前記第3のトランジスタの第2電極とに接続し、」と記載されているが、第11のトランジスタの第2、第3電極が同じ第11のトランジスタの第3電極に接続する構成が不明である。

(8) 請求項7に、「前k第16のトランジスタ」と記載されているが、「前k」の意味が日本語として不明である。

(9) 請求項5に、「前記第3の電流源回路」と記載されているが、請求項3を何らかの形式にて引用していない請求項5においては、この記載より以前に「第3の電流源回路」は記載されておらず、これが何であるのか不明であると共に、「前記」が何を指すのか不明である。

また、請求項7に、「前記第1の電流ミラー回路」と記載されているが、請求項2を何らかの形式にて引用していない請求項7（請求項1を出発とする引用形式）においては、この記載より以前に「第1の電流ミラー回路」は記載されておらず、これが何であるのか不明であると共に、「前記」が何を指すのか不明である。

(上記理由C、(9)について、これら以外にも、同様の理由が存在する可能性があるので、全請求項について、引用形式を見直されたい。)

(この拒絶理由通知書中で指摘した以外の拒絶の理由を現時点では発見しない。拒絶の理由が新たに発見された場合には再度拒絶の理由が通知される。)

先行技術文献調査結果の記録

- ・調査した分野 IPC第7版 H03F 3/45
- ・先行技術文献

特開平11-088076号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許庁 特許審査第四部 伝送回路 TEL. 03-3581-1101 内線3574

PATENT ABSTRACTS OF JAPAN

NEC-5109

(11)Publication number : 2001-156559

(43)Date of publication of application : 08.06.2001

(51)Int.Cl. H03F 3/45
G09G 3/20
G09G 3/36
H03F 1/02
H03F 3/30

(21)Application number : 2000-261989

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 31.08.2000

(72)Inventor : DOI YASUYUKI
OMORI TETSUO

(30)Priority

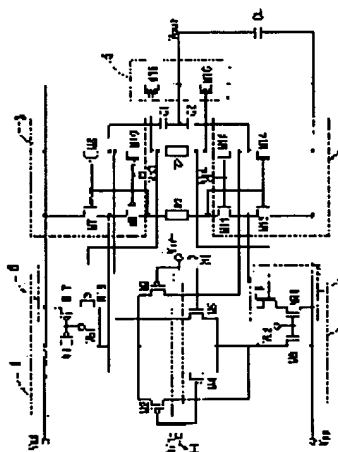
Priority number : 11262821 Priority date : 17.09.1999 Priority country : JP

(54) HIGH SLEW RATE DIFFERENTIAL AMPLIFIER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high slew rate differential amplifier circuit that can reduce current consumption and maintain stability.

SOLUTION: This high slew rate differential amplifier circuit is characterized in that it is a combination of a P-channel MOS sub current source 6 formed by connecting a current source circuit consisting of series connection of a transistor(TR) M18 receiving the gate voltage of a P-channel MOS output TR M15 at its gate and a constant current source TR M17 in parallel with a constant current source TR M1 of a P-channel MOS differential input section 1, and an N-channel MOS sub current source 7 formed by connecting a current source circuit consisting of series connection of a TR M19 receiving the gate voltage of an N-channel MOS output TR M16 at its gate and constant current source TR M20 in parallel with a constant current source TR M6 of an N-channel MOS differential input section 2.



LEGAL STATUS

[Date of request for examination] 04.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(43)公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl. ⁷	識別記号	F I	ページコード*(参考)
H 0 3 F 3/45		H 0 3 F 3/45	A
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A
	6 2 1		6 2 1 L
	3/36	3/36	
H 0 3 F 1/02		H 0 3 F 1/02	
審査請求 未請求 請求項の数 9 O L (全 11 頁) 最終頁に続く			

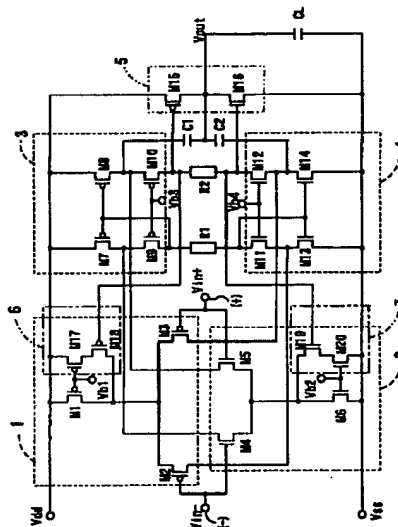
(21)出願番号	特願2000-261989(P2000-261989)	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成12年8月31日(2000.8.31)	(72)発明者	土居 康之 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(31)優先権主張番号	特願平11-262821	(72)発明者	大森 哲郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(32)優先日	平成11年9月17日(1999.9.17)	(74)代理人	100068087 弁理士 森本 義弘
(33)優先権主張国	日本(JP)		

(54)【発明の名称】 高スルーレート差動増幅回路

(57) 【要約】

【課題】 消費電流を削減できかつ、安定性を保つ高スルーレートの差動増幅回路を提供する。

【解決手段】 P型MOS出力トランジスタM15のゲート電圧をゲートに入力したトランジスタM18と定電流源トランジスタM17を直列に接続した構成の電流源回路をP型MOS差動入力部1の定電流源トランジスタM1に並列に接続したP型MOS副電流源6と、N型MOS出力トランジスタM16のゲート電圧をゲートに入力したトランジスタM19と定電流源トランジスタM20を直列に接続した構成の電流源回路をN型MOS差動入力部2の定電流源トランジスタM6に並列に接続したN型MOS副電流源7とを組み合わせることを特徴とする。



【特許請求の範囲】

【請求項 1】 差動入力部の出力でカレントミラー回路を介して出力段を駆動する差動増幅回路であって、定電流源トランジスタと前記出力段の出力トランジスタのゲート電圧をゲートに入力したトランジスタとを直列に接続した構成の電流源回路を副電流源として前記差動入力部の定電流源トランジスタに並列接続した高スルーレート差動増幅回路。

【請求項 2】 同じ非反転入力端子と反転入力端子を入力に接続した P 型差動入力部と N 型差動入力部を設け、前記 P 型差動入力部の出力で駆動される N 型カレントミラー回路を設け、

前記 N 型差動入力部の出力で駆動される P 型カレントミラー回路を設け、

前記 P 型カレントミラー回路の出力で駆動される P 型出力トランジスタと前記 N 型カレントミラー回路の出力で駆動される N 型出力トランジスタを有するプッシュプル出力段を設け、

P 型定電流源トランジスタと前記 P 型出力トランジスタのゲート電圧をゲートに入力した P 型トランジスタとを直列に接続し前記 P 型差動入力部の定電流源トランジスタに並列接続した第 1 の副電流源を設け、

N 型定電流源トランジスタと前記 N 型出力トランジスタのゲート電圧をゲートに入力した N 型トランジスタとを直列に接続し前記 N 型差動入力部の定電流源トランジスタに並列接続した第 2 の副電流源を設けた高スルーレート差動増幅回路。

【請求項 3】 同じ非反転入力端子と反転入力端子を入力に接続された P 型差動入力部と N 型差動入力部を設け、前記 P 型差動入力部の出力で駆動される N 型カレントミラー回路を設け、

前記 N 型差動入力部の出力で駆動される P 型カレントミラー回路を設け、

前記 N 型カレントミラー回路の出力と前記 P 型カレントミラー回路の出力で駆動される出力段を設け、

定電流源トランジスタと前記出力段のゲート電圧をゲートに入力したトランジスタとを直列に接続した電流源回路の出力をカレントミラー回路を介して極性反転して前記 P 型差動入力部または前記 N 型差動入力部の定電流源トランジスタに接続された副電流源を設けた高スルーレート差動増幅回路。

【請求項 4】 同じ非反転入力端子と反転入力端子を入力に接続された P 型差動入力部と N 型差動入力部を設け、前記 P 型差動入力部の出力で駆動される N 型カレントミラー回路を設け、

前記 N 型差動入力部の出力で駆動される P 型カレントミラー回路を設け、

前記 P 型カレントミラー回路の出力で駆動される P 型出力トランジスタと前記 N 型カレントミラー回路の出力で駆動される N 型出力トランジスタを有するプッシュプル

出力段を設け、

P 型定電流源トランジスタと前記 P 型出力トランジスタのゲート電圧をゲートに入力した P 型トランジスタとを直列に接続した電流源回路を、カレントミラー回路により極性反転させ前記 N 型差動入力部の定電流源トランジスタに並列に接続した第 1 の副電流源を設け、

N 型定電流源トランジスタと前記 N 型出力トランジスタのゲート電圧をゲートに入力した N 型トランジスタとを直列に接続した電流源回路を、カレントミラー回路により極性反転させ前記 P 型差動入力部の定電流源トランジスタに並列に接続した第 2 の副電流源を設けた高スルーレート差動増幅回路。

【請求項 5】 差動入力部の出力でカレントミラー回路を介して出力段を駆動する差動増幅回路であって、

前記出力段の出力トランジスタのゲート電圧をゲートに入力したトランジスタの電流源回路を副電流源として前記差動入力部の定電流源トランジスタに並列接続した高スルーレート差動増幅回路。

【請求項 6】 同じ非反転入力端子と反転入力端子を入力に接続した P 型差動入力部と N 型差動入力部を設け、

前記 P 型差動入力部の出力で駆動される N 型カレントミラー回路を設け、

前記 N 型差動入力部の出力で駆動される P 型カレントミラー回路を設け、

前記 P 型カレントミラー回路の出力で駆動される P 型出力トランジスタと前記 N 型カレントミラー回路の出力で駆動される N 型出力トランジスタを有するプッシュプル出力段を設け、

前記 P 型出力トランジスタのゲート電圧をゲートに入力した P 型トランジスタを前記 P 型差動入力部の定電流源トランジスタに並列接続した第 1 の副電流源を設け、

前記 N 型出力トランジスタのゲート電圧をゲートに入力した N 型トランジスタを前記 N 型差動入力部の定電流源トランジスタに並列接続した第 2 の副電流源を設けた高スルーレート差動増幅回路。

【請求項 7】 同じ非反転入力端子と反転入力端子を入力に接続された P 型差動入力部と N 型差動入力部を設け、前記 P 型差動入力部の出力で駆動される N 型カレントミラー回路を設け、

前記 N 型差動入力部の出力で駆動される P 型カレントミラー回路を設け、

前記 N 型カレントミラー回路の出力と前記 P 型カレントミラー回路の出力で駆動される出力段を設け、

前記出力段のゲート電圧をゲートに入力したトランジスタの電流源回路の出力をカレントミラー回路を介して極性反転して前記 P 型差動入力部または前記 N 型差動入力部の定電流源トランジスタに接続された副電流源を設けた高スルーレート差動増幅回路。

【請求項 8】 同じ非反転入力端子と反転入力端子を入力に接続された P 型差動入力部と N 型差動入力部を設け、

3

前記 P 型差動入力部の出力で駆動される N 型カレントミラー回路を設け、

前記 N 型差動入力部の出力で駆動される P 型カレントミラー回路を設け、

前記 P 型カレントミラー回路の出力で駆動される P 型出力トランジスタと前記 N 型カレントミラー回路の出力で駆動される N 型出力トランジスタを有するプッシュプル出力段を設け、

前記 P 型出力トランジスタのゲート電圧をゲートに入力した P 型トランジスタの電流源回路を、カレントミラー回路により極性反転させ前記 N 型差動入力部の定電流源トランジスタに並列に接続した第 1 の副電流源を設け、前記 N 型出力トランジスタのゲート電圧をゲートに入力した N 型トランジスタの電流源回路を、カレントミラー回路により極性反転させ前記 P 型差動入力部の定電流源トランジスタに並列に接続した第 2 の副電流源を設けた高スルーレート差動増幅回路。

【請求項 9】各走査線と各データ線との交差点に画素が配置されたアクティブマトリクス液晶パネルと、この液晶パネルを駆動する駆動装置とから構成され、前記駆動装置は、請求項 1～請求項 8 の何れかの高スルーレート差動増幅回路の出力段の出力を前記データ線に接続して構成した液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は差動増幅回路の中でも、特に液晶表示装置のドライバに使用される高スルーレート差動増幅回路に関するものである。

【0002】

【従来の技術】従来の Rail-to-rail 差動増幅回路は図 3 に示すように構成されている。

【0003】トランジスタ M1、M2、M3 で構成される P 型 MOS 差動入力部 1 と、トランジスタ M4、M5、M6 で構成される N 型 MOS 差動入力部 2 と、トランジスタ M7、M8、M9、M10 で構成されるカレントミラー回路 3 と、トランジスタ M11、M12、M13、M14 で構成されるカレントミラー回路 4 と、トランジスタ M15、M16 で構成されるプッシュプル出力段 5 とを主要部とし、Vdd は正側電源電圧、Vss は負側電源電圧である。

【0004】非反転入力 (+) はトランジスタ M3、M5 のゲートに接続され、反転入力 (-) はトランジスタ M2、M4 のゲートに接続されている。トランジスタ M2、M3 からの P 型 MOS 差動入力部 1 の出力は、カレントミラー回路 4 に入力され、トランジスタ M4、M5 からの N 型 MOS 差動入力部 2 の出力は、カレントミラー回路 3 に入力されている。カレントミラー回路 3 とカレントミラー回路 4 とは抵抗器 R1、R2 で接続されており、プッシュプル出力段 5 のトランジスタ M15 のゲートはトランジスタ M10 と抵抗器 R2 の一端との接続

4

点に接続され、プッシュプル出力段 5 のトランジスタ M16 のゲートはトランジスタ M12 と抵抗器 R2 の他端との接続点に接続されている。また、抵抗器 R1、R2 は MOS トランジスタなどでも構成できる。

【0005】C1 と C2 は位相補償容量、Vb1～Vb4 はそれぞれのトランジスタが適切に動作するように設定されたバイアス電圧である。ここではプッシュプル出力段 5 の出力と負側電源電圧 Vss の間に外部負荷 CL が接続されている。

10 【0006】P 型 MOS 差動入力部 1 の定電流源となるトランジスタ M1 に流れる電流を (Im1) とし、N 型 MOS 差動入力部 2 の定電流源となるトランジスタ M6 に流れる電流を (Im6) とする。非反転入力電圧 (Vin+) と反転入力電圧 (Vin-) が等しい状態、すなわち、定常状態では P 型 MOS 差動入力部 1 のトランジスタ M2、M3 に流れる電流は共に (Im1)・(1/2) であり、N 型 MOS 差動入力部 2 のトランジスタ M4、M5 に流れる電流は共に (Im6)・(1/2) である。

20 【0007】定常状態から非反転入力電圧 (Vin+) が反転入力電圧 (Vin-) より高い電圧の状態に変化するときには、P 型 MOS 入力側では定電流 (Im1) の大部分がトランジスタ M2 に流れ、トランジスタ M13 に流れる電流が増加するのでカレントミラー回路 4 によりトランジスタ M12、M14 に流れる電流も増加し、出力トランジスタ M16 のゲート電圧が下がり出力トランジスタ M16 に流れる電流が減少し外部負荷 CL の引き込み電流が減少し、出力トランジスタ M15 のゲート電圧も下がるので M15 に流れる電流が増加し外部負荷 CL を充電する。このとき N 型 MOS 入力側では定電流 (Im6) の大部分がトランジスタ M5 に流れ、トランジスタ M10 に流れる電流が減少し、出力トランジスタ M15 のゲート電圧が下がるので M15 に流れる電流が増加し外部負荷 CL を充電し、出力電圧 Vout が上昇する。

30 【0008】定常状態から (Vin+) が (Vin-) より低い電圧の状態に変化するときには、P 型 MOS 入力側では定電流 (Im1) の大部分がトランジスタ M3 に流れ、トランジスタ M12 に流れる電流が減少するので、出力トランジスタ M16 のゲート電圧が上がり M16 に流れ電流が増加し外部負荷 CL の引き込み電流が増加する。

40 【0009】このとき N 型 MOS 入力側では定電流 (Im6) の大部分がトランジスタ M4 に流れ、トランジスタ M7 に流れる電流が増加するのでカレントミラー回路 3 によりトランジスタ M8、M10 に流れる電流も増加し、出力トランジスタ M15 のゲート電圧が上がるので出力トランジスタ M15 に流れ電流が減少し外部負荷 CL に対する充電速度が減少し、出力トランジスタ M16 のゲート電圧も上がるので出力トランジスタ M16 に流

れ電流が増加し外部負荷CLの引き込み電流が増加し、出力電圧 V_{out} が下降する。

【0010】

【発明が解決しようとする課題】近年、TVやパソコン用ディスプレイなどに使用される液晶表示装置の大画面化、高精細化が進んでいる。それに伴いソースドライバにはより大きな負荷をより高速に駆動する能力が必要とされている。

【0011】図6に液晶表示装置の概略を示す。ここで液晶パネル10は、各走査線11と各データ線12との交差点に画素13が配置されたアクティブマトリクス液晶パネルと、この液晶パネルを駆動する駆動装置とから構成され、前記駆動装置14は、コントローラ15によって制御される各ソースドライバ16と各ゲートドライバ17で構成されている。

【0012】ソースドライバ16はコントローラ15からの信号を受けて画素13を駆動し、ゲートドライバ17はTFT（薄膜トランジスタ）18のゲートをスイッチングする。

【0013】例えば、XGA（1024×768）の液晶パネルの場合には1024×3（R、G、B）=3072本の出力が必要なので、出力数384本のソースドライバでは、3072/384=8チップのソースドライバが使用されている。

【0014】そして出力数384本のソースドライバ1チップには384個の差動増幅回路が搭載されている。UXGA（1600×1200）やQXGA（2048×1536）などにより高精細な液晶パネルに対応するため、出力数480本や516本というソースドライバが要望され、この場合にはソースドライバ16の1チップに480個や516個もの差動増幅回路が搭載される。

【0015】液晶パネル10の大画面化、高精細化によりソースドライバ16は、消費電力を抑えたままで、より大きな負荷を高速に駆動する能力が必要となっている。そのためにはソースドライバ16に搭載される差動増幅回路としては、消費電流を抑え、大きなスルーレートが必要となる。

【0016】さらにソースドライバ16には、前述のように多数の差動増幅回路が搭載されるので、チップ面積を増大をしないようにできる限り回路面積の小さい簡単な回路の追加でスルーレートを向上することが必要である。

【0017】ソースドライバは大きなダイナミックレンジが必要なため従来の技術の差動増幅回路のようなRail-to-railの増幅器が用いられる場合が多い。このような差動増幅回路において外部負荷を駆動するときのスルーレートは差動入力部の電流値に比例し、位相補償容量の容量値に逆比例する。このとき回路面積を増大させないようにスルーレート向上回路の追加を行

わず、スルーレートを向上するには、差動入力部の定電流源トランジスタM1、M6の電流 I_{m1} 、 I_{m6} を増加させるか、位相補償容量C1、C2を小さくするという手段がある。

【0018】しかし、差動入力部の電流を増加させると定常電流が増加するので消費電流が増大し、位相補償容量を小さくすると安定性が失われるという課題がある。本発明は消費電流を増大させることなくかつ、安定性を保つことができ、回路面積の増大を抑えた高スルーレートな差動増幅回路を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の請求項1記載の高スルーレート差動増幅回路は、差動入力部の出力でカレントミラー回路を介して出力段を駆動する差動増幅回路であって、定電流源トランジスタと前記出力段の出力トランジスタのゲート電圧をゲートに入力したトランジスタとを直列に接続した構成の電流源回路を副電流源として前記差動入力部の定電流源トランジスタに並列接続したことを特徴とし、高スルーレートが必要なときに差動入力部の電流を増加させられるように、出力トランジスタのゲート電圧をゲートに入力したトランジスタと定電流源トランジスタを直列に接続した構成の電流源回路を差動回路の副電流源として使用し定常電流を低電流化している。

【0020】本発明の請求項2記載の高スルーレート差動増幅回路は、同じ非反転入力端子と反転入力端子を入力に接続されたP型差動入力部とN型差動入力部を設け、前記P型差動入力部の出力で駆動されるN型カレントミラー回路を設け、前記N型差動入力部の出力で駆動されるP型カレントミラー回路を設け、前記P型カレントミラー回路の出力で駆動されるP型出力トランジスタと前記N型カレントミラー回路の出力で駆動されるN型出力トランジスタを有するプッシュプル出力段を設けた差動増幅回路において、請求項1の構成を前記P型差動入力部と前記N型差動入力部の両方に実施したことを特徴とする。

【0021】本発明の請求項3記載の高スルーレート差動増幅回路は、同じ非反転入力端子と反転入力端子を入力に接続されたP型差動入力部とN型差動入力部を設け、前記P型差動入力部の出力で駆動されるN型カレントミラー回路を設け、前記N型差動入力部の出力で駆動されるP型カレントミラー回路を設け、前記N型カレントミラー回路の出力と前記P型カレントミラー回路の出力で駆動される出力段を設け、定電流源トランジスタと前記出力段のゲート電圧をゲートに入力したトランジスタとを直列に接続した電流源回路の出力をカレントミラー回路を介して極性反転して前記P型差動入力部または前記N型差動入力部の定電流源トランジスタに接続された副電流源を設けたことを特徴とし、高スルーレートが必要なときに差動入力部の電流を増加させられるよう

に、出力トランジスタのゲート電圧をゲートに入力したトランジスタと定電流源トランジスタを直列に接続した構成の電流源回路をカレントミラー回路により極性反転させ差動回路の副電流源として使用し定常電流を低電流化している。

【0022】本発明の請求項4記載の高スルーレート差動増幅回路は、請求項3の構成を前記P型差動入力部と前記N型差動入力部の両方に実施したことを特徴とする。本発明の請求項5記載の高スルーレート差動増幅回路は、請求項1の構成の副電流源から定電流源トランジスタを省いて構成したことを特徴とする。

【0023】本発明の請求項6記載の高スルーレート差動増幅回路は、請求項5の構成を前記P型差動入力部と前記N型差動入力部の両方に実施したことを特徴とする。本発明の請求項7記載の高スルーレート差動増幅回路は、請求項3の構成の副電流源から定電流源トランジスタを省いて構成したことを特徴とする。

【0024】本発明の請求項8記載の高スルーレート差動増幅回路は、請求項7の構成を前記P型差動入力部と前記N型差動入力部の両方に実施したことを特徴とする。本発明の請求項9記載の液晶表示装置は、各走査線と各データ線との交差点に画素が配置されたアクティブマトリクス液晶パネルと、この液晶パネルを駆動する駆動装置とから構成され、前記駆動装置は、請求項1～請求項8の何れかの高スルーレート差動増幅回路の出力段の出力を前記データ線に接続して構成したことを特徴とする。

【0025】

【発明の実施の形態】以下、本発明の各実施の形態を図1～図5に基づいて説明する。なお、従来例を示す図3と同様の作用を成すものには同一の符号を付けて説明する。

【0026】（実施の形態1）図1は本発明の（実施の形態1）を示し、トランジスタM17、M18で構成されるP型MOS副電流源6と、トランジスタM19、M20で構成されるN型MOS副電流源7とが、従来例を示す図3の回路に追加されている点が異なっている。

【0027】このP型MOS副電流源6は、定電流源トランジスタM17とP型MOS出力トランジスタM15のゲート電圧をゲートに入力したトランジスタM18とを直列に接続した電流源回路を、P型MOS差動入力部1の定電流源トランジスタM1に並列に接続して構成されている。

【0028】N型MOS副電流源7は、定電流源トランジスタM20とN型MOS出力トランジスタM16のゲート電圧をゲートに入力したトランジスタM19とを直列に接続した電流源回路を、N型MOS差動入力部2の定電流源トランジスタM6に並列に接続して構成されている。

【0029】非反転入力電圧（ V_{in+} ）と反転入力電

圧（ V_{in-} ）が等しい状態、すなわち、定常状態ではトランジスタM18、M19はカットオフしており、P型MOS副電流源6、N型MOS副電流源7の電流は流れない。よって、定常状態ではP型MOS差動入力部1のトランジスタM2、M3に流れる電流は共に $(I_{m1}) \cdot (1/2)$ であり、N型MOS差動入力部2のトランジスタM4、M5に流れる電流は共に $(I_{m6}) \cdot (1/2)$ である。なお、ここでの (I_{m1}) 、 (I_{m6}) は従来のもより小さい電流値である。

【0030】定常状態から（ V_{in+} ）が（ V_{in-} ）より高い電圧の状態に変化するとき、P型MOS入力側では定電流（ I_{m1} ）の大部分がトランジスタM2に流れトランジスタM13に流れる電流が増加するので、カレントミラー回路4によりトランジスタM12、M14に流れる電流も増加し、N型MOS出力トランジスタM16のゲート電圧が下がりN型MOS出力トランジスタM16に流れる電流が減少し外部負荷CLの引き込み電流が減少し、P型MOS出力トランジスタM15のゲート電圧も下がるのでP型MOS出力トランジスタM15に流れる電流が増加し外部負荷CLを充電する。このときN型MOS入力側では定電流（ I_{m6} ）の大部分がトランジスタM5に流れ、トランジスタM10に流れる電流が減少し、P型MOS出力トランジスタM15のゲート電圧が下がるのでP型MOS出力トランジスタM15に流れる電流が増加し外部負荷CLを充電し、出力電圧 V_{out} が上昇する。

【0031】このように従来の差動増幅回路と同様に出力トランジスタM15およびM16のゲート電圧が下がるのでトランジスタM19はカットオフしたままであるのでN型MOS副電流源7は動作しないが、トランジスタM18がオンしP型MOS副電流源6がP型MOS差動入力部1の電流を増加させることにより、トランジスタM2に流れる電流がより増加しトランジスタM13に流れる電流がより増加し、カレントミラー回路4によりトランジスタM12、M14に流れる電流もより増加し、従来の回路のときよりも出力トランジスタM15、M16のゲート電圧が早く下がり出力トランジスタM15に流れる電流が一層増加し外部負荷CLを急速に充電し出力電圧 V_{out} が急上昇する。よってスルーレートが向上する。

【0032】定常状態から（ V_{in+} ）が（ V_{in-} ）より低い電圧の状態に変化するとき、P型MOS入力側では定電流（ I_{m1} ）の大部分がトランジスタM3に流れ、トランジスタM12に流れる電流が減少するので、出力トランジスタM16のゲート電圧が上がり出力トランジスタM16に流れ電流が増加し外部負荷CLの引き込み電流が増加する。このときN型MOS入力側では定電流（ I_{m6} ）の大部分がトランジスタM4に流れ、トランジスタM7、M9に流れ電流が増加するのでカレントミラー回路3によりトランジスタM8、M10に流れ

る電流も増加し、出力トランジスタM15のゲート電圧が上がるので出力トランジスタM15に流れ電流が減少し外部負荷CLに対する充電速度が減少し、出力トランジスタM16のゲート電圧も上がるので出力トランジスタM16に流れ電流が増加し外部負荷CLを放電し、出力電圧Voutが下降する。

【0033】このように従来の差動増幅回路と同様に出力トランジスタM15及びM16のゲート電圧が上がるのでトランジスタM18はカットオフしたままであるのでP型MOS副電流源6は動作しないが、トランジスタM19がオンしN型MOS副電流源7がN型MOS差動入力部2の電流を増加させることにより、トランジスタM4に流れる電流がより増加しトランジスタM7に流れる電流がより増加し、カレントミラー回路3によりトランジスタM8、M10に流れる電流もより増加し、従来の回路のときよりも出力トランジスタM15、M16のゲート電圧が早く上がり出力トランジスタM16に流れる電流が一層増加し外部負荷CLを急速に放電し出力電圧Voutが急下降する。よってスルーレートが向上する。

【0034】本発明の効果を確認するためのシミュレーション結果の一例を示す。電源電圧8.5ボルト、外部負荷50kΩ+80pFであり、出力ノードVoutと反転入力端子を接続し負帰還をかけたボルテージフェロアとしている。非反転入力端子Vin+に立ち上がり時は0.1ボルトから8.4ボルト、立ち下がり時は8.4ボルトから0.1ボルトに変化するステップ信号を入力した。入力信号が変化してから出力電圧Voutが目標電圧の90%に到達するまでの時間を測定した。

【0035】入力信号が立ち上がるとき、図3に示した従来の構成では4.8μsであったのに対して、この図1に示した（実施の形態1）の構成では3.5μsとスルーレートが改善された。

【0036】入力信号が立ち下がる時、図3に示した従来の構成では4.7μsであったのに対して、この図1に示した（実施の形態1）の構成では3.4μsとスルーレートが改善された。

【0037】このように入力信号が立ち上りと立ち下がり共、本発明の実施によるスルーレート向上の効果が確認された。また、この（実施の形態1）では、上記のように定常状態からVin+がVin-より高い電圧の状態に変化するとき、トランジスタM18がオンしPMOS副電流源が動作するが、PMOS副電流源が流す電流は定電流源トランジスタM17のゲートに入力されるバイアス電圧で決まる電流値に制限でき、瞬時電流の増加を制限することができる。また、定常状態からVin+がVin-より低い電圧の状態に変化するとき、トランジスタM19がオンしNMOS副電流源が動作するが、NMOS副電流源の流す電流は定電流源トランジスタM20のゲートに入力されるバイアス電圧で決まる電流値

に制限でき、瞬時電流の増加を制限することができるので、液晶駆動装置のように多数の差動増幅器が同時に負荷を駆動する場合に起こりやすい、瞬時電流による電源電圧の変動を抑えることができる。

【0038】この（実施の形態1）ではN型MOS副電流源7とP型MOS副電流源6の両方を設けたが、副電流源はN型MOS副電流源7とP型MOS副電流源6のどちらか一方だけでもよい。

【0039】（実施の形態2）図2は本発明の（実施の形態2）を示し、トランジスタM21、M22、M23、M24で構成されるN型MOS副電流源8と、トランジスタM25、M26、M27、M28で構成されるP型MOS副電流源9とが、従来例を示す図3の回路に追加されている点が異なっている。

【0040】N型MOS副電流源8は、定電流源トランジスタM21とP型MOS出力トランジスタM15のゲート電圧をゲートに入力したトランジスタM22とを直列に接続した電流源回路を、カレントミラー回路により極性反転させN型MOS差動入力部2の定電流源トランジスタM6に並列に接続して構成されている。

【0041】P型MOS副電流源9は、定電流源トランジスタM28とN型MOS出力トランジスタM16のゲート電圧をゲートに入力したトランジスタM27とを直列に接続した電流源回路を、カレントミラー回路により極性反転させP型MOS差動入力部1の定電流源トランジスタM1に並列に接続して構成されている。

【0042】非反転入力電圧(Vin+)と反転入力電圧(Vin-)が等しい状態、すなわち、定常状態ではトランジスタM22、M27はカットオフしておりN型MOS副電流源8及びP型MOS副電流源9の電流は流れない。よって、定常状態ではP型MOS差動入力部1のトランジスタM2、M3に流れる電流は共に(I_{m1})・(1/2)であり、N型MOS差動入力部2のトランジスタM4、M5に流れる電流は共に(I_{m6})・(1/2)である。なお、ここでの(I_{m1})、(I_{m6})は従来のものより小さい電流値である。

【0043】定常状態から(Vin+)が(Vin-)より高い電圧の状態に変化するとき、従来の差動増幅回路の場合と同様に出力トランジスタM15、M16のゲート電圧が下がる。よって、トランジスタM27はカットオフしたままであるのでP型MOS副電流源9は動作しないが、トランジスタM22がオンし、定電流源トランジスタM21の電流がトランジスタM23に流れカレントミラーされトランジスタM24にも電流が流れるので、N型MOS副電流源8がN型MOS差動入力部2の電流を増加させることにより、トランジスタM5に流れる電流がより増加し、トランジスタM10に流れる電流がより減少し出力トランジスタM15のゲート電圧がより下がるので、従来の回路のときよりも出力トランジスタM15に流れる電流が一層増加し外部負荷CLを急速

に充電し出力電圧 V_{out} が急上昇する。よってスルーレートが向上する。

【0044】定常状態から (V_{in+}) が (V_{in-}) より低い電圧の状態に変化するとき、従来の差動増幅回路の場合と同様に出力トランジスタ $M15$ 、 $M16$ のゲート電圧が上がる。よって、トランジスタ $M22$ はカットオフしたままであるので N 型 MOS 副電流源 8 は動作しないが、トランジスタ $M27$ がオンし、定電流源トランジスタ $M28$ の電流がトランジスタ $M25$ に流れカレントミラーされトランジスタ $M26$ にも電流が流れるので、 P 型 MOS 副電流源 9 が P 型 MOS 差動入力部 1 の電流を増加させることにより、トランジスタ $M3$ に流れる電流がより増加しトランジスタ $M12$ に流れる電流がより減少し出力トランジスタ $M16$ のゲート電圧がより上がるので、従来の回路のときよりも出力トランジスタ $M16$ に流れる電流が一層増加し、外部負荷 CL を急速に放電し出力電圧 V_{out} が急下降する。よってスルーレートが向上する。

【0045】本発明の効果を確認するためのシミュレーション結果の一例を示す。電源電圧 8.5 ボルト、外部負荷 $50k\Omega + 80pF$ であり、出力ノード V_{out} と反転入力端子を接続し負帰還をかけたボルテージフェロアとしている。非反転入力端子 V_{in+} に立ち上がり時は 0.1 ボルトから 8.4 ボルト、立ち下がり時は 8.4 ボルトから 0.1 ボルトに変化するステップ信号を入力した。入力信号が変化してから出力電圧 V_{out} が目標電圧の 90% に到達するまでの時間を測定した。

【0046】入力信号が立ち上がる時、図 3 に示した従来の構成では $4.8\mu s$ であったのに対して、この図 2 に示した（実施の形態 2 ）の構成では $3.4\mu s$ とスルーレートが改善された。

【0047】入力信号が立ち下がる時、図 3 に示した従来の構成では $4.7\mu s$ であったのに対して、この図 2 に示した（実施の形態 2 ）の構成では $3.3\mu s$ とスルーレートが改善された。

【0048】このように入力信号が立ち上りと立ち下がり共、本発明の実施によるスルーレート向上の効果が確認された。この（実施の形態 2 ）では N 型 MOS 副電流源 8 と P 型 MOS 副電流源 9 の両方を設けたが、副電流源は N 型 MOS 副電流源 8 と P 型 MOS 副電流源 9 のどちらか一方だけでもよい。

【0049】（実施の形態 3 ）図 4 は本発明の（実施の形態 3 ）を示し、（実施の形態 1 ）における P 型 MOS 副電流源 6 における定電流源トランジスタ $M17$ を省くとともに、 N 型 MOS 副電流源 7 における定電流源トランジスタ $M20$ を省いて構成されている。

【0050】つまり、出力段 5 の出力トランジスタ $M15$ のゲート電圧をゲートに入力したトランジスタ $M18$ の電流源回路が、 P 型 MOS 差動入力部 1 の定電流源トランジスタ $M1$ に並列に接続して構成され、出力段 5 の

出力トランジスタ $M16$ のゲート電圧をゲートに入力したトランジスタ $M19$ の電流源回路が、 N 型 MOS 差動入力部 2 の定電流源トランジスタ $M6$ に並列に接続して構成されている。その他は（実施の形態 1 ）と同様である。

【0051】液晶駆動装置のように多数の差動増幅器が同時に負荷を駆動する場合であっても、電源配線が十分に確保できるなどして電源電圧の変動をあまり考慮しなくてよい場合には、この（実施の形態 3 ）の構成を採用することにより、（実施の形態 1 ）に比べて回路面積の増大を抑えた高スルーレートな差動増幅回路を実現できる。

【0052】動作は（実施の形態 1 ）とほぼ同様であるので、異なる部分の説明をする。定常状態から V_{in+} が V_{in-} より高い電圧の状態に変化するとき、トランジスタ $M18$ がオンし $PMOS$ 副電流源が動作する。

（実施の形態 1 ）では $PMOS$ 副電流源が流す電流は定電流源トランジスタ $M17$ のゲートに入力されるバイアス電圧で決まる電流値に制限されるのに対して、この（実施の形態 3 ）では定電流源トランジスタ $M17$ がないので電流が制限されず、 $PMOS$ 副電流源が流す電流は（実施の形態 1 ）より増加するのでスルーレートがより向上する。

【0053】また、定常状態から V_{in+} が V_{in-} より低い電圧の状態に変化するとき、トランジスタ $M19$ がオンし $NMOS$ 副電流源が動作する。（実施の形態 1 ）では $NMOS$ 副電流源の流す電流は定電流源トランジスタ $M20$ のゲートに入力されるバイアス電圧で決まる電流値に制限されるのに対して、この（実施の形態 3 ）では定電流源トランジスタ $M20$ がないので電流が制限されず、 $NMOS$ 副電流源が流す電流は（実施の形態 1 ）より増加するのでスルーレートがより向上する。

【0054】本発明の効果を確認するためのシミュレーション結果の一例を示す。電源電圧 8.5 ボルト、外部負荷 $50k\Omega + 80pF$ であり、出力ノード V_{out} と反転入力端子を接続し負帰還をかけたボルテージフェロアとしている。非反転入力端子 V_{in+} に立ち上がり時は 0.1 ボルトから 8.4 ボルト、立ち下がり時は 8.4 ボルトから 0.1 ボルトに変化するステップ信号を入力した。入力信号が変化してから出力電圧 V_{out} が目標電圧の 90% に到達するまでの時間を測定した。

【0055】入力信号が立ち上がる時、図 3 に示した従来の構成では $4.8\mu s$ であったのに対して、この図 4 に示した（実施の形態 3 ）の構成では $2.1\mu s$ とスルーレートが改善された。

【0056】入力信号が立ち下がる時、図 3 に示した従来の構成では $4.7\mu s$ であったのに対して、この図 4 に示した（実施の形態 3 ）の構成では $1.9\mu s$ とスルーレートが改善された。

【0057】このように入力信号が立ち上りと立ち下が

り共、本発明の実施によるスルーレート向上の効果が確認された。なお、この（実施の形態 3）では N 型 MOS 副電流源 7 と P 型 MOS 副電流源 6 の両方を設けたが、副電流源は N 型 MOS 副電流源 7 と P 型 MOS 副電流源 6 のどちらか一方だけでもよい。

【0058】（実施の形態 4）図 5 は本発明の（実施の形態 4）を示し、（実施の形態 2）における N 型 MOS 副電流源 8 における定電流源トランジスタ M21 を省くとともに、P 型 MOS 副電流源 9 における定電流源トランジスタ M28 を省いて構成されている。

【0059】つまり、出力段 5 の出力トランジスタ M15 のゲート電圧をゲートに入力したトランジスタ M22 の電流源回路の出力が、トランジスタ M23、M24 によって構成されるカレントミラー回路により極性反転させて N 型 MOS 副電流源 8 を構成し、この N 型 MOS 副電流源 8 を N 型差動入力部 2 の定電流源トランジスタ M6 に並列に接続して構成され、出力段 5 の出力トランジスタ M16 のゲート電圧をゲートに入力したトランジスタ M27 の電流源回路が、トランジスタ M25、M26 によって構成されるカレントミラー回路により極性反転させて P 型 MOS 副電流源 9 を構成し、この P 型 MOS 副電流源 9 を P 型差動入力部 1 の定電流源トランジスタ M1 に並列に接続して構成されている。その他は（実施の形態 2）と同様である。

【0060】液晶駆動装置のように多数の差動増幅器が同時に負荷を駆動する場合であっても、電源配線が十分に確保できるなどして電源電圧の変動をあまり考慮しなくてよい場合には、この（実施の形態 4）の構成を採用することにより、（実施の形態 2）に比べて回路面積の増大を抑えた高スルーレートな差動増幅回路を実現できる。

【0061】動作は（実施の形態 2）とほぼ同様であるので、異なる部分の説明をする。定常状態から V_{in+} が V_{in-} より高い電圧の状態に変化するとき、トランジスタ M22 がオンし NMOS 副電流源が動作する。

（実施の形態 2）では NMOS 副電流源が流す電流は定電流源トランジスタ M21 のゲートに入力されるバイアス電圧で決まる電流値に制限されるのに対して、この（実施の形態 4）では定電流源トランジスタ M21 がないので電流が制限されず、NMOS 副電流源が流す電流は（実施の形態 2）より増加するのでスルーレートがより向上する。

【0062】また、定常状態から V_{in+} が V_{in-} より低い電圧の状態に変化するとき、トランジスタ M27 がオンし PMOS 副電流源が動作する。（実施の形態 2）では PMOS 副電流源の流す電流は定電流源トランジスタ M28 のゲートに入力されるバイアス電圧で決まる電流値に制限されるのに対して、この（実施の形態 4）では定電流源トランジスタ M28 がないので電流が制限されず、PMOS 副電流源が流す電流は（実施の形

態 2）より増加するのでスルーレートがより向上する。

【0063】本発明の効果を確認するためのシミュレーション結果の一例を示す。電源電圧 8.5 ボルト、外部負荷 $50\text{ k}\Omega + 80\text{ pF}$ であり、出力ノード V_{out} と反転入力端子を接続し負帰還をかけたボルテージフェロアとしている。非反転入力端子 V_{in+} に立ち上がり時は 0.1 ボルトから 8.4 ボルト、立ち下がり時は 8.4 ボルトから 0.1 ボルトに変化するステップ信号を入力した。入力信号が変化してから出力電圧 V_{out} が目標電圧の 90% に到達するまでの時間を測定した。

【0064】入力信号が立ち上がるとき、図 3 に示した従来の構成では $4.8\text{ }\mu\text{s}$ であったのに対して、この図 5 に示した（実施の形態 4）の構成では $1.9\text{ }\mu\text{s}$ とスルーレートが改善された。

【0065】入力信号が立ち下がるとき、図 3 に示した従来の構成では $4.7\text{ }\mu\text{s}$ であったのに対して、この図 5 に示した（実施の形態 4）の構成では $1.7\text{ }\mu\text{s}$ とスルーレートが改善された。

【0066】このように入力信号が立ち上りと立ち下がり共、本発明の実施によるスルーレート向上の効果が確認された。なお、この（実施の形態 4）では N 型 MOS 副電流源 8 と P 型 MOS 副電流源 9 の両方を設けたが、副電流源は N 型 MOS 副電流源 8 と P 型 MOS 副電流源 9 のどちらか一方だけでもよい。

【0067】このように構成された（実施の形態 1）～（実施の形態 4）の何れかの出力段 5 の出力を、図 6 に示した液晶表示装置の液晶パネル 10 の前記データ線 12 に接続して良好な液晶表示装置を実現できる。

【0068】

【発明の効果】以上のように本発明によると、スルーレートが必要なときには副電流源が差動入力部の電流を補うので、差動入力部の定電流源の電流は従来の回路より小さい値に設定でき、位相補償容量を小さくする必要がない。よって、差動増幅回路の消費電流を削減でき、安定性を保ちつつ、スルーレートを向上することができる。

【図面の簡単な説明】

【図 1】本発明の（実施の形態 1）の差動増幅回路の回路図

【図 2】本発明の（実施の形態 2）の差動増幅回路の回路図

【図 3】従来の差動増幅回路の回路図

【図 4】本発明の（実施の形態 3）の差動増幅回路の回路図

【図 5】本発明の（実施の形態 4）の差動増幅回路の回路図

【図 6】一般的な液晶表示装置の構成図

【符号の説明】

- 1 P 型 MOS 差動入力部（P 型差動入力部）
- 2 N 型 MOS 差動入力部（N 型差動入力部）

15

- 3 カレントミラー回路 (P型カレントミラー回路)
 4 カレントミラー回路 (N型カレントミラー回路)
 5 プッシュプル出力段
 6 P型MOS副電流源 (第1の副電流源)
 7 N型MOS副電流源 (第2の副電流源)
 8 N型MOS副電流源 (第1の副電流源)
 9 P型MOS副電流源 (第2の副電流源)

(+) 非反転入力

(-) 反転入力

(Vin+) 非反転入力電圧

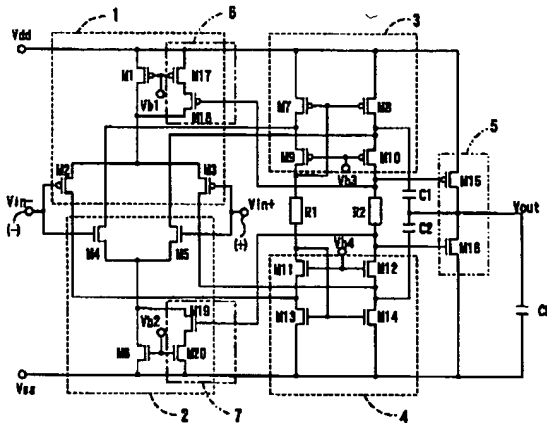
(Vin-) 反転入力電圧

M1 定電流源トランジスタ

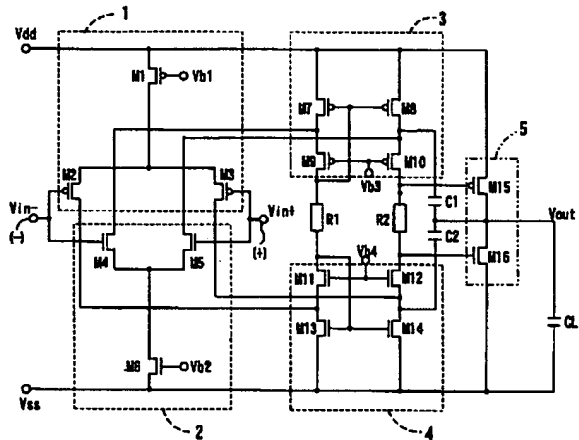
16

- M6 定電流源トランジスタ
 M15 P型出力トランジスタ
 M16 N型出力トランジスタ
 M17 P型定電流源トランジスタ
 M18 P型トランジスタ
 M19 N型トランジスタ
 M20 N型定電流源トランジスタ
 M21 P型定電流源トランジスタ
 M22 P型トランジスタ
 10 M28 N型定電流源トランジスタ
 M27 N型トランジスタ

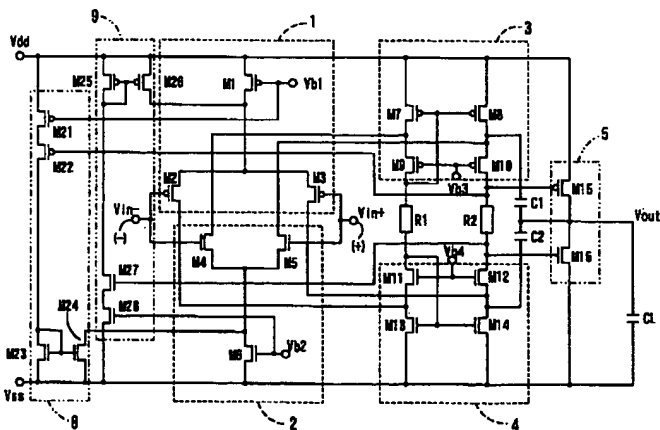
【図1】



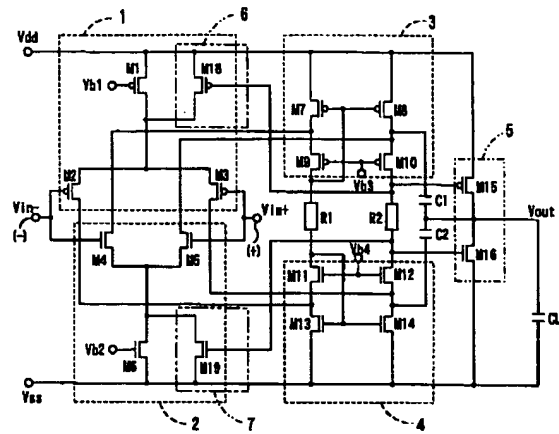
【図3】



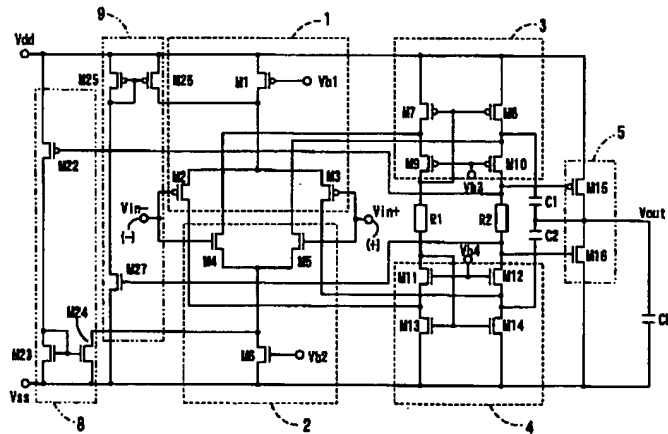
【図2】



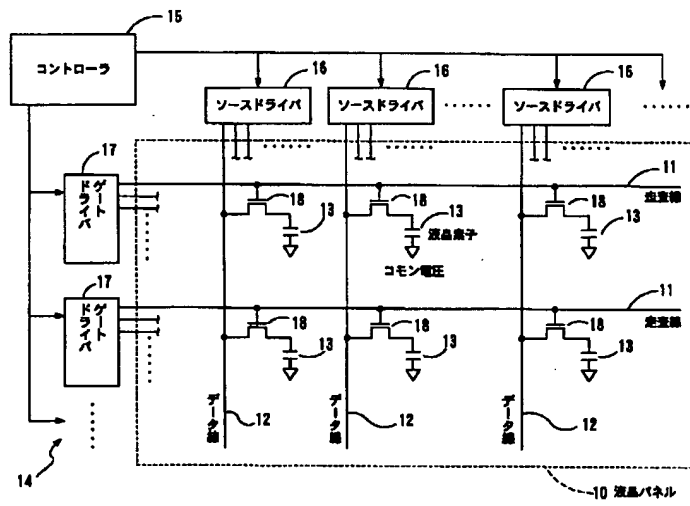
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl.⁷
H03F 3/30

識別記号

FI
H03F 3/30

テマコード (参考)